

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-031076

(43)Date of publication of application : 02.02.1999

(51)Int.Cl.

G06F 9/445

G06F 15/177

(21)Application number : 09-185231

(71)Applicant : NEC ROBOTICS ENG LTD
NEC CORP

(22)Date of filing : 10.07.1997

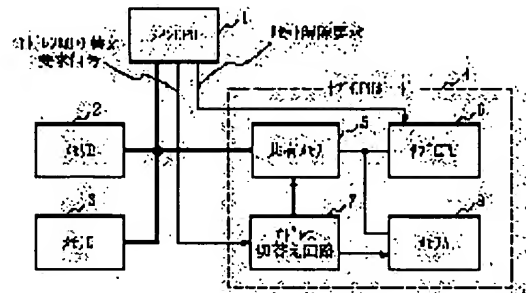
(72)Inventor : TAKEMOTO HIDEKI
NAKANO TORU

(54) MULTI CPU SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To unnecessitate ROM that preliminarily writes a function realization program and to eliminate trouble to write and mount the program on the ROM.

SOLUTION: A main CPU 1 loads a program for function realization and a transfer program into shared memory 5 and outputs an address switch request signal. An address switch circuit 7 in a sub CPU board 4 sets an address where a sub CPU 6 starts execution of the address of a transfer program in the memory 5 when a reset state is released according to the address switch request signal. When the CPU 1 outputs a reset release request, the CPU 6 has its reset state released, transfers a program for function realization to memory A8 by executing a transfer program, carries out the program for function realization and realizes a function of the preliminarily defined sub CPU board 4 which should be realized.



LEGAL STATUS

[Date of request for examination] 10.07.1997

[Date of sending the examiner's decision of rejection] 28.03.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

BEST AVAILABLE COPY

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平11-31076

(43)公開日 平成11年(1999)2月2日

(51)Int.Cl.⁶G 0 6 F 9/445
15/177

識別記号

F I

G 0 6 F 9/06
15/164 2 0 K
4 2 0 S

審査請求 有 請求項の数5 O L (全 5 頁)

(21)出願番号 特願平9-185231

(22)出願日 平成9年(1997)7月10日

(71)出願人 000232173

日本電気ロボットエンジニアリング株式会
社
神奈川県横浜市神奈川区新浦島町1丁目1
番地25

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 武元 秀樹

神奈川県横浜市神奈川区新浦島町 1丁目
1番地25 日本電気ロボットエンジニアリ
ング株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

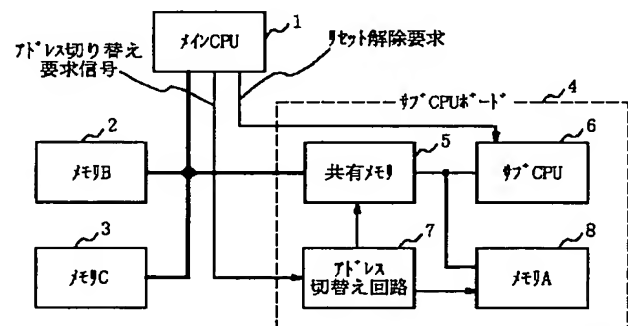
最終頁に続く

(54)【発明の名称】 マルチCPUシステム

(57)【要約】

【課題】機能実現プログラムを予め書き込むためのROMを必要とせず、このROMにこのプログラムを書き込み実装する手間が掛からないようにする。

【解決手段】メインCPU1は、機能実現用プログラムと転送プログラムとを共有メモリ5にロードし、アドレス切り替え要求信号を出力する。サブCPUボード4内のアドレス切り替え回路7は、アドレス切り替え要求信号により、リセットの状態が解除されたときにサブCPU6が実行を開始するアドレスを共有メモリ5内の転送プログラムのアドレスに設定する。メインCPU1が、リセット解除要求を出力すると、サブCPU6は、リセットの状態が解除され、転送プログラムを実行して機能実現用プログラムをメモリA8に転送し、この機能実現用プログラムを実行し、予め定められたこのサブCPUボード4の実現すべき機能を実現する。



【特許請求の範囲】

【請求項 1】 メイン CPU と、このメイン CPU によりロードされる機能実現用プログラムを実行することにより予め定めた機能を実現する、サブ CPU を有するサブ CPU ボードとを備え、電源投入時に前記メイン CPU が、このメイン CPU と前記サブ CPU ボードとで共有する共有メモリに前記機能実現用プログラムと前記サブ CPU ボード内のメモリ A へ前記機能実現用プログラムを転送するための転送プログラムとをロードし、前記サブ CPU ボード内の前記サブ CPU が、前記共有メモリ内の前記転送プログラムを実行して前記機能実現用プログラムを前記メモリ A に転送して格納させ、このメモリ A に格納した前記機能実現用プログラムを実行することにより予め定めた前記機能を実現するようにしたことを特徴とするマルチ CPU システム。

【請求項 2】 電源投入により、メモリ B に予め格納されたメインプログラムを実行して、メモリ C に予め格納された機能実現用プログラムと転送プログラムとを共有メモリにロードし、ロード後にアドレス切り替え要求信号を出力してリセット解除要求を出力するメイン CPU と、前記メイン CPU と共有する前記共有メモリを備え、電源投入時にはリセットの状態が継続しこの状態を解除するための前記メイン CPU が出力した前記リセット解除要求により前記リセットの状態が解除され、前記メイン CPU が出力した前記アドレス切り替え要求信号により切り替えたアドレスにある前記共有メモリ内の前記転送プログラムを実行して前記共有メモリ内の前記機能実現用プログラムをメモリ A に転送して格納し、格納した前記機能実現用プログラムを実行することにより予め定めた機能を実現するようにしたサブ CPU ボードと、を備えたことを特徴とするマルチ CPU システム。

【請求項 3】 前記サブ CPU ボードは、電源投入時に前記メイン CPU によりロードされる前記機能実現用プログラムと前記転送プログラムとを格納する、前記メイン CPU と共有する共有メモリと、前記転送プログラムにより前記共有メモリ内より転送された前記機能実現用プログラムを格納するメモリ A と、電源投入時にはリセットの状態が継続し前記メイン CPU が出力した前記リセット解除要求により前記リセットの状態が解除され、前記共有メモリ内の前記転送プログラムを実行して前記機能実現用プログラムを前記メモリ A に転送して格納し、この格納した前記機能実現用プログラムを実行することにより予め定めた機能を実現するようにしたサブ CPU と、前記メイン CPU が出力した前記アドレス切り替え要求信号により、前記リセットの状態が解除されたときに前記サブ CPU が実行するアドレスを前記共有メモリ内の前記転送プログラムのアドレスに設定するアドレス切り替え回路と、

を備えたことを特徴とする請求項 2 記載のマルチ CPU システム。

【請求項 4】 前記メモリ A は、電氣的に消去と書き込みとができる不揮発性メモリであることを特徴とする請求項 1、2 又は 3 記載のマルチ CPU システム。

【請求項 5】 前記サブ CPU ボードを複数備えるようにしたことを特徴とする請求項 1、2、3 又は 4 記載のマルチ CPU システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマルチ CPU システムに関し、特にサブ CPU ボード内のメモリにこのサブ CPU ボードの機能を実現するためのプログラムを書き込むようにしたマルチ CPU システムに関する。

【0002】

【従来の技術】従来、この種のマルチ CPU システムは、サブ CPU ボード内のメモリにこのサブ CPU ボードの機能を実現するためのプログラムを書き込むために用いられている。

【0003】この従来のマルチ CPU システムのブロック図である図 3 を参照すると、従来のマルチ CPU システムは、メイン CPU 31、メモリ B 32、メモリ C 33 及びサブ CPU ボード 34 により構成され、サブ CPU ボード 34 は、サブ CPU 36、共有メモリ 35、ROM 37 及びメモリ A 38 により構成されている。次に、従来のマルチ CPU システムの動作の一例を示す流れ図である図 4 を参照して、この従来のマルチ CPU システムの動作を説明する。すなわち、電源投入時、メイン CPU 31 は、メモリ B 32 に予め格納されたメインプログラムを実行しサブ CPU 36 に対してリセット解除要求を行う (S1)。リセット解除要求を受けたサブ CPU 36 は、初期化プログラムとメモリ A 転送プログラムとが予め書き込まれて実装された ROM 37 内のこの初期化プログラムを実行しサブ CPU ボード 34 を初期化する (S2)。次に、メイン CPU 31 は、サブ CPU ボード 34 の予め定められた機能を実現するための機能実現プログラムをメモリ C 33 から読み出して、メイン CPU 31 とサブ CPU ボード 34 とで共有する共有メモリ 35 に転送する (S3)。そして、メイン CPU 31 からサブ CPU 36 に対しメモリ A 転送要求を出力する (S4)。サブ CPU 36 は、ROM 37 内のメモリ A 転送プログラムを実行し、共有メモリ 35 内の機能実現プログラムをメモリ A 38 に転送し (S5)、転送後この機能実現プログラムを実行してサブ CPU ボード 34 の予め定められた機能を実現する (S6)。

【0004】

【発明が解決しようとする課題】上述した従来のマルチ CPU システムは、メイン CPU から共有メモリに転送された機能実現プログラムを、サブ CPU ボードに実装された ROM 内のメモリ A 転送プログラムを実行させて

共有メモリからメモリAに転送し、この転送した機能実現プログラムを実行してサブCPUボードの予め定められた機能を実現するようにしているため、メモリA転送プログラムをROMに予め書き込みこのROMを予め実装する必要があるので、機能実現プログラムを予め書き込むためのROMが必要であり、このROMに機能実現プログラムを書き込みこのROMをサブCPUボードに実装するための手間が掛かるという問題がある。

【0005】本発明の目的はこのような従来の欠点を除去するため、機能実現プログラムを予め書き込むためのROMを必要とせず、このROMに機能実現プログラムを書き込んだりサブCPUボードに実装したりするための手間が掛からないマルチCPUシステムを提供することにある。

【0006】

【課題を解決するための手段】本発明のマルチCPUシステムは、メインCPUと、このメインCPUによりロードされる機能実現用プログラムを実行することにより予め定めた機能を実現する、サブCPUを有するサブCPUボードとを備え、電源投入時に前記メインCPUが、このメインCPUと前記サブCPUボードとで共有する共有メモリに前記機能実現用プログラムと前記サブCPUボード内のメモリAへ前記機能実現用プログラムを転送するための転送プログラムとをロードし、前記サブCPUボード内の前記サブCPUが、前記共有メモリ内の前記転送プログラムを実行して前記機能実現用プログラムを前記メモリAに転送して格納させ、このメモリAに格納した前記機能実現用プログラムを実行することにより予め定めた前記機能を実現するようにしている。

【0007】また、本発明のマルチCPUシステムは、電源投入により、メモリBに予め格納されたメインプログラムを実行して、メモリCに予め格納された機能実現用プログラムと転送プログラムとを共有メモリにロードし、ロード後にアドレス切り替え要求信号を出力してリセット解除要求を出力するメインCPUと、前記メインCPUと共有する前記共有メモリを備え、電源投入時にはリセットの状態が継続しこの状態を解除するための前記メインCPUが出力した前記リセット解除要求により前記リセットの状態が解除され、前記メインCPUが出力した前記アドレス切り替え要求信号により切り替えたアドレスにある前記共有メモリ内の前記転送プログラムを実行して前記共有メモリ内の前記機能実現用プログラムをメモリAに転送して格納し、格納した前記機能実現用プログラムを実行することにより予め定めた機能を実現するようにしたサブCPUボードと、を備えて構成されている。

【0008】さらに、本発明のマルチCPUシステムの前記サブCPUボードは、電源投入時に前記メインCPUによりロードされる前記機能実現用プログラムと前記転送プログラムとを格納する、前記メインCPUと共有

する共有メモリと、前記転送プログラムにより前記共有メモリ内より転送された前記機能実現用プログラムを格納するメモリAと、電源投入時にはリセットの状態が継続し前記メインCPUが出力した前記リセット解除要求により前記リセットの状態が解除され、前記共有メモリ内の前記転送プログラムを実行して前記機能実現用プログラムを前記メモリAに転送して格納し、この格納した前記機能実現用プログラムを実行することにより予め定めた機能を実現するようにしたサブCPUと、前記メインCPUが出力した前記アドレス切り替え要求信号により、前記リセットの状態が解除されたときに前記サブCPUが実行するアドレスを前記共有メモリ内の前記転送プログラムのアドレスに設定するアドレス切り替え回路と、を備えて構成されている。

【0009】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0010】図1は、本発明のマルチCPUシステムの一つの実施の形態を示すブロック図である。

【0011】図1に示す本実施の形態は、電源投入により、ROM等のメモリBに予め格納されたメインプログラムを実行して、外部記憶装置等のメモリCに予め格納された機能実現用プログラムと転送プログラムとを共有メモリにロードし、ロード後にアドレス切り替え要求信号を出力してリセット解除要求を出力するメインCPU1と、メインCPU1と共有する共有メモリを備え、電源投入時にはリセットの状態が継続しこの状態を解除するためのメインCPU1が出力したリセット解除要求によりリセットの状態が解除され、メインCPU1が出力したアドレス切り替え要求信号により切り替えたアドレスにある共有メモリ内の転送プログラムを実行して共有メモリ内の機能実現用プログラムをメモリAに転送して格納し、格納した機能実現用プログラムを実行することにより予め定めた機能を実現するようにしたサブCPUボードとにより構成されている。

【0012】サブCPUボードは、電源投入時にメインCPU1によりロードされる機能実現用プログラムと転送プログラムとを格納する、メインCPU1と共有する共有メモリと、転送プログラムにより共有メモリ内より転送された機能実現用プログラムを格納するメモリAと、電源投入時にはリセットの状態が継続しメインCPU1が出力したリセット解除要求によりリセットの状態が解除され、共有メモリ内の転送プログラムを実行して機能実現用プログラムをメモリAに転送して格納し、この格納した機能実現用プログラムを実行することにより予め定めた機能を実現するようにしたサブCPUと、メインCPU1が出力したアドレス切り替え要求信号により、リセットの状態が解除されたときにサブCPUが実行するアドレスを共有メモリ内の転送プログラムのアドレスに設定するアドレス切り替え回路とにより構成され

ている。

【0013】メモリAは、例えば、電氣的に消去と書き込みとができる不揮発性メモリである。

【0014】次に、本実施の形態のマルチCPUシステムの動作を図2を参照して詳細に説明する。

【0015】図2は、本発明の実施の形態の動作の一例を示す流れ図である。

【0016】図1において、電源投入により、メインCPU1は、メモリB2に予め格納されたメインプログラムを実行して、メモリC3に予め格納された機能実現用プログラムと転送プログラムとを共有メモリ5にロードする(S1)。一方、サブCPUボード4は、リセットの状態を継続している。次に、メインCPU1は、アドレス切り替え要求信号を出力する(S2)。サブCPUボード4内のアドレス切り替え回路7は、メインCPU1が出力したアドレス切り替え要求信号により、リセットの状態が解除されたときにサブCPU6が実行を開始するアドレスを共有メモリ5内の転送プログラムのこのプログラムが開始するアドレスに設定する(S3)。そして、メインCPU1が、リセット解除要求を出力する(S4)と、サブCPU6は、リセットの状態が解除され、共有メモリ5内のステップ3(S3)で設定されたアドレスより転送プログラムを実行して機能実現用プログラムをメモリA8に転送して格納する(S5)。そして、サブCPU6は、このメモリA8に格納した機能実現用プログラムを実行し、予め定められたこのサブCPUボード4の実現すべき機能を実現する。

【0017】尚、以上の動作は、メモリA8に機能実現用プログラムが格納されていない場合や他の機能実現用プログラムを格納したい場合等に行い、通常、一度メモリA8に機能実現用プログラムが格納されたときには、電源投入時に、メインCPU1から転送プログラムと機能実現用プログラムとをサブCPUボード4に転送せず、アドレス切り替え回路7はアドレスを切り替えず、サブCPU6はメモリA8内の機能実現用プログラムを実行する。

【0018】以上の説明では、サブCPUボード4が一つの場合について述べたが、サブCPUボード4が複数の場合も同様に、メインCPU1が転送プログラムとそれぞれの機能実現用プログラムとをそれぞれのサブCPUボード4に転送し、それぞれのサブCPUボード4は転送プログラムによりそれぞれの機能実現用プログラムをそれぞれのメモリA8に転送して格納し、これらの格

納した機能実現用プログラムをそれぞれ実行して予め定められたこれらのサブCPUボード4の実現すべきそれぞれの機能を実現する。

【0019】

【発明の効果】以上説明したように、本発明のマルチCPUシステムによれば、電源投入時にメインCPUが、共有メモリに機能実現用プログラムと転送プログラムとをロードし、サブCPUボード内のサブCPUが、共有メモリ内の転送プログラムを実行して機能実現用プログラムをメモリAに転送して格納させ、このメモリAに格納した機能実現用プログラムを実行することにより予め定めた機能を実現するようにしたので、サブCPUボード内に機能実現プログラムを予め書き込むためのROMを必要とせず、このROMに機能実現プログラムを書き込んだりサブCPUボードに実装したりするための手間が掛からない。

【図面の簡単な説明】

【図1】本発明のマルチCPUシステムの一つの実施の形態を示すブロック図である。

【図2】本発明の実施の形態の動作の一例を示す流れ図である。

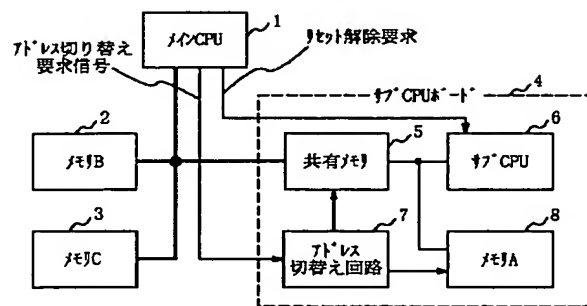
【図3】従来のマルチCPUシステムのブロック図である。

【図4】従来のマルチCPUシステムの動作の一例を示す流れ図である。

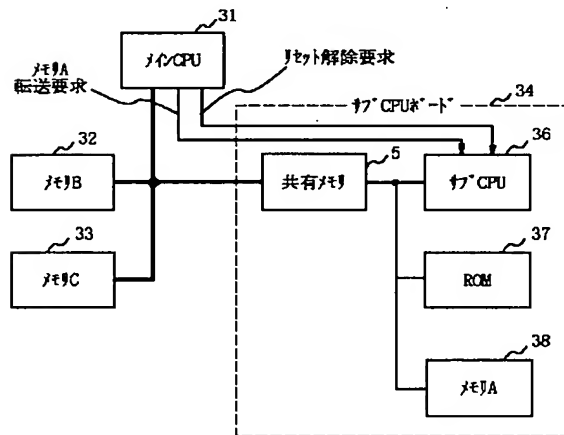
【符号の説明】

- 1 メインCPU
- 2 メモリB
- 3 メモリC
- 4 サブCPUボード
- 5 共有メモリ
- 6 サブCPU
- 7 アドレス切り替え回路
- 8 メモリA
- 31 メインCPU
- 32 メモリB
- 33 メモリC
- 34 サブCPUボード
- 35 共有メモリ
- 36 サブCPU
- 37 ROM
- 38 メモリA

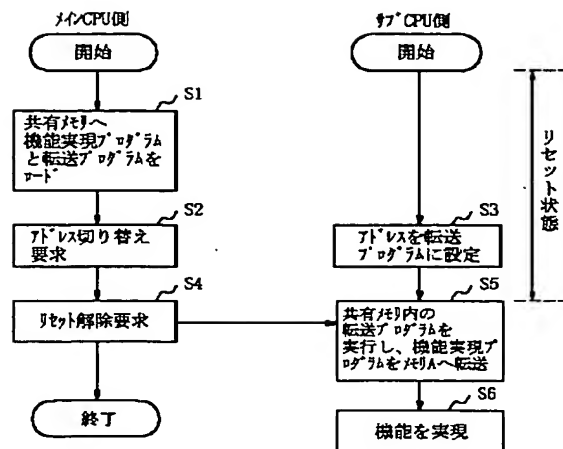
【図 1】



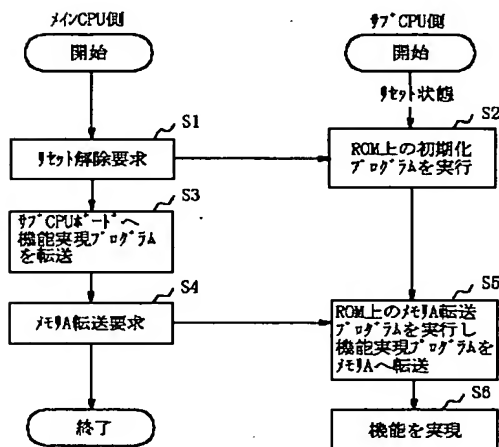
【図 3】



【図 2】



【図 4】



フロントページの続き

(72)発明者 中野 徹
東京都港区芝五丁目7番1号 日本電気株
式会社内

Best Available Copy